

Docket No. 216703US2/btm



AO

2613

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Kojiro SUZUKI

GAU: 2613

SERIAL NO: 10/000,081

EXAMINER:

FILED: December 4, 2001

FOR: SYSTEM FOR DECODING PACKED CODED IMAGE DATA WHILE DEPACKING SAME

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

RECEIVED

FEB 07 2002

Technology Center 2600

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number [US App No], filed [US App Dt], is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

APPLICATION NUMBER

MONTH/DAY/YEAR

JAPAN

2001-296243

September 27, 2001

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
 - ☐ are submitted herewith
 - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak
Registration No. 24,913



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)

Paul A. Sacher
Registration No. 43,418

10/000, 081



日 本 国 特 許 庁
JAPAN PATENT OFFICE

RECEIVED
FEB 0 7 2002
Technology Center 2600

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2001年 9月27日

出 願 番 号
Application Number:

特願2001-296243

出 願 人
Applicant(s):

株式会社東芝

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年11月26日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 13273501

【提出日】 平成13年 9月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/00

【発明の名称】 符号化画像データ復号装置、方法およびプログラム

【請求項の数】 5

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝
 マイクロエレクトロニクスセンター内

 【氏名】 鈴 木 晃治朗

【特許出願人】

 【識別番号】 000003078

 【住所又は居所】 東京都港区芝浦一丁目1番1号

 【氏名又は名称】 株式会社 東 芝

【代理人】

 【識別番号】 100075812

 【弁理士】

 【氏名又は名称】 吉 武 賢 次

【選任した代理人】

 【識別番号】 100088889

 【弁理士】

 【氏名又は名称】 橘 谷 英 俊

【選任した代理人】

 【識別番号】 100082991

 【弁理士】

 【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

 【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【手数料の表示】

【予納台帳番号】 087654

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 符号化画像データ復号装置、方法およびプログラム

【特許請求の範囲】

【請求項 1】

1 ブロック内の可変長符号成分以外の長さの長さの合計が、可変長符号語の最大長のビット数から 1 ビットを差し引いたビット長以上となる画像圧縮伸張フォーマットによりパッキングされた画像データをデパッキングして可変長復号する符号化画像データ復号装置において、

1 ビデオセグメント分の符号列を格納しているメモリ手段と、

前記メモリ手段から出力される符号列を可変長復号するデコード手段と、

前記メモリ手段と前記デコード手段との間に挿入されて 1 ブロック分の符号列を格納可能に構成されると共に連結された 2 ブロック分の符号列を格納するブロック記憶手段と、

前記ブロック記憶手段を含み、前記メモリ手段より供給された符号列が 1 ブロック分の符号列でない場合に順次供給された符号列の中から必要な部分を適宜組み合わせて 1 ブロック分の符号列を完成させて前記デコード手段に供給するデパッキング手段と、

を備えることを特徴とする符号化画像データ復号装置。

【請求項 2】

前記ブロック記憶手段の入力に、ブロック記憶手段 2 つ分の入力可能な符号列結合手段を挿入し、その一方の入力をブロック記憶手段に、もう一方の入力をメモリ手段に接続したことを特徴とする請求項 1 に記載の符号化画像データ復号装置。

【請求項 3】

前記ブロックの終わりを示すブロック終了符号が検出されなかったブロックに関し、ブロック記憶手段の内容をメモリ手段に書き戻すことを特徴とする請求項 1 に記載の符号化画像データ復号装置。

【請求項 4】

1 ブロック内の可変長符号成分以外の長さの長さの合計が、可変

長符号語の最大長のビット数から1ビットを差し引いたビット長以上となる画像圧縮伸張フォーマットによりパッキングされた、画像データにおける少なくとも1ビデオセグメント分の符号列を格納するステップと、

前記符号列を少なくとも1ブロック分ずつ取り出すステップと、

取り出された1ブロック分の符号列がデパッキング前の1纏まりのブロックであるか否かを判定するステップと、

判定されたブロックがデパッキング前の1纏まりのブロックである場合にそのブロックの符号列を復号するステップと、

取り出された1ブロック分の符号列がデパッキング前の1纏まりのブロックでない場合に、前記1セグメントの分のブロックの符号列を順次取り入れてデパッキング前の1纏まりの1ブロック分の符号列を連結するステップと、

連結された1ブロック分の符号列を復号するステップと、

を備える符号化画像データ復号方法。

【請求項5】

1ブロック内の可変長符号成分以外の長さで終端符号の長さとの合計が、可変長符号語の最大長のビット数から1ビットを差し引いたビット長以上となる画像圧縮伸張フォーマットによりパッキングされた、画像データにおける少なくとも1ビデオセグメント分の符号列を格納する手順と、

前記符号列を少なくとも1ブロック分ずつ取り出す手順と、

取り出された1ブロック分の符号列がデパッキング前の1纏まりのブロックであるか否かを判定する手順と、

判定されたブロックがデパッキング前の1纏まりのブロックである場合にそのブロックの符号列を復号する手順と、

取り出された1ブロック分の符号列がデパッキング前の1纏まりのブロックでない場合に、前記1ビデオセグメントの分のブロックの符号列を順次取り入れてデパッキング前の1纏まりの1ブロック分の符号列を連結する手順と、

連結された1ブロック分の符号列を復号する手順と、

を備える符号化画像データ復号プログラム。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、画像復号化装置に係り、特にパッキングされたデータをデパッキング処理しながら復号化する画像復号装置に関する。

【 0 0 0 2 】

【従来の技術】

画像の符号化および復号化処理技術において、パッキング／デパッキング処理とは、ブロック毎に長さの異なる可変長符号を、決められた容量のエリアに格納するために、上限を超えて長い可変長符号を途中で切断し、容量の余っている別のブロックに格納する、いわば「データの格納容量を融通し合う処理」のことである。

【 0 0 0 3 】

本発明におけるパッキング／デパッキング処理は、一例として「DVフォーマット」、すなわち、「HDデジタルVCR協議会 (HD digital VCR Conference)」により規格化されたDVC (Digital VCR for Consumer use—ユーザ使用のためのデジタルVCR—) と呼ばれる方式のフォーマットを想定しているが、必ずしも上記のみに限られたものではなく、他の所定のフォーマットによりパッキングされた可変長符号画像データのデパッキング処理に対して広く適用することができることはもちろんである。

【 0 0 0 4 】

パッキング／デパッキング処理の詳細については、必要な文献(例えば、久保田編著『図解デジタルビデオ読本』など。)に記載されているので、これらの文献を参照してほしい。

【 0 0 0 5 】

デパッキング処理は、複数ブロックに分割格納されているデータを切出／連結して、元の可変長符号列を再生する処理であるが、単純にパッキングと逆の処理を行なうと、連結データの一時保存用メモリ(4400ビット程度)が必要になってしまう。そこで、メモリの確保を極力避けて、ポインタ演算を多用することにより省メモリ化を実現した方式が、例えば特開平8-275162号公報により

提案されている。

【0006】

この従来の復号回路が図21に示されている。図21において、メインメモリ1よりバッファメモリ2に入力されたコードデータは、図示されないコードアドレス記憶回路からのバイト情報によってバレルシフタ3にバイト単位でコードデータを供給している。デコード回路4はバレルシフタ3と可変長符号テーブル5とより構成されており、バレルシフタ3では、デコード回路4の可変長符号テーブル5から返される符号長と図示されない前記コードアドレス記憶回路からのビット情報とにより、復号されなかったコードデータをシフトしてバッファメモリ2から供給されたコードデータを接続している。なお、上述した図21は、前記先行文献（特願平8-275162号）の図1の要部のみを示しているので、コードアドレス記憶回路、ブロックカウント回路等については図示を省略している。

【0007】

【発明が解決しようとする課題】

この従来の画像復号方式によれば、連結データの一時保存用メモリを省くことができるが、一方で、1ビデオセグメント（Video Segment）分のデータ（3040ビット）を保持するバッファメモリ2へのアクセスが頻繁かつ不規則に発生してしまい、バスを占有してしまうという欠点があった。これは、可変長符号のデコードが済んで「空きができた分だけ」を逐次バレルシフタに供給する（バッファメモリからのデータ供給は8ビット単位）という方式をとっているためである。このため、メモリバンド幅を確保するという観点から、実質的にはバッファメモリをメインメモリとは分離して確保せざるを得ないので、省メモリ化の効果が低減されてしまうという結果となっていた。

【0008】

特に近年、更なる省メモリ化のため復号すべきデータをメインメモリ上に置き、バッファメモリを削減したいという要求が強いが、メインメモリへのアクセスが増大するため、バッファサイズの決定は性能に大きな影響を及ぼす重要事項となる。

【0009】

本願の発明者たちは、DVフォーマットのコード体系を詳細に分析した結果、一見して可変長符号データに見える処理内容であっても実際には112ビットの固定長処理に類するフォーマットに分割する処理が可能であることを見出した。バッファメモリのサイズをこの長さに固定して、メモリアクセスをこの長さ単位で行なうことにより、メモリバスを占有する度合いを大幅に軽減することが可能になる。

【0010】

本発明は上記問題を解決するためになされたものであり、デパッキング処理における可変長符号列を、例えば112ビットの固定長処理の繰り返しとして処理することにより、メモリ領域を節約したままでも、メモリアクセス頻度を削減することのできる符号化画像データ復号装置、方法およびプログラムを提供することを目的としている。

【0011】

【課題を解決するための手段】

上記目的を達成するため、本発明の第1の基本構成に係る符号化画像データ復号装置は、1ブロック内の可変長符号成分以外の長さと終端符号の長さとの合計が、可変長符号語の最大長のビット数から1ビットを差し引いたビット長以上となる画像圧縮伸張フォーマットによりパッキングされた画像データをデパッキングして可変長復号する画像復号装置において、1ビデオセグメント分の符号列を格納しているメモリ手段と、該メモリ手段から出力される符号列を可変長復号するデコード手段と、前記メモリ手段と前記デコード手段との間に挿入されて1ブロック分の符号列を格納可能に構成されると共に連結された2ブロック分の符号列を格納するブロック記憶手段と、前記ブロック記憶手段を含み、前記メモリ手段より供給された符号列が1ブロック分の符号列でない場合に順次供給された符号列の中から必要な部分を適宜組み合わせる1ブロック分の符号列を完成させて前記デコード手段に供給するデパッキング手段と、を備えることを特徴としている。

【0012】

前記メモリ手段には、所定のフォーマットによりパッキングされた画像データの1ビデオセグメント分が格納されており、ブロック記憶手段を含むデパッキング手段は、メモリ手段より供給された符号列が1ブロック分の符号列でない場合に必要部分を順次組み合わせて1ブロック分の符号列とすることによりパッキングされた過程と逆の過程を経てデパッキング処理を行ない、デパッキングされた符号列をデコード手段に供給し、デコード手段はこの符号列を復号している。

【0013】

なお、前記第1の基本構成に係る画像符号化データ復号装置において、前記ブロック記憶手段の入力に、ブロック記憶手段2つ分の入力可能な符号列結合手段を挿入し、その一方の入力をブロック記憶手段に、もう一方の入力をメモリ手段に接続しても良い。

【0014】

また、前記第1の基本構成に係る画像符号化データ復号装置において、前記ブロックの終わりを示すブロック終了符号が検出されなかったブロックに関し、ブロック記憶手段の内容をメモリ手段に書き戻すようにしても良い。

【0015】

本発明の第2の基本構成に係る符号化画像データ復号方法は、1ブロック内の可変長符号成分以外の長さで終端符号の長さとの合計が、可変長符号語の最大長のビット数から1ビットを差し引いたビット長以上となる画像圧縮伸張フォーマットによりパッキングされた、画像データにおける少なくとも1ビデオセグメント分の符号列を格納するステップと、前記符号列を少なくとも1ブロック分ずつ取り出すステップと、取り出された1ブロック分の符号列がデパッキング前の1纏まりのブロックであるか否かを判定するステップと、判定されたブロックがデパッキング前の1纏まりのブロックである場合にそのブロックの符号列を復号するステップと、取り出された1ブロック分の符号列がデパッキング前の1纏まりのブロックでない場合に、前記1ビデオセグメントの分のブロックの符号列を順次取り入れてデパッキング前の1纏まりの1ブロック分の符号列を連結するステップと、連結された1ブロック分の符号列を復号するステップと、を備えている。

【0016】

さらに、本発明の第3の基本構成に係る符号化画像データ復号プログラムは、1ブロック内の可変長符号成分以外の長さの終端符号の長さとの合計が、可変長符号語の最大長のビット数から1ビットを差し引いたビット長以上となる画像圧縮伸張フォーマットによりパッキングされた、画像データにおける少なくとも1ビデオセグメント分の符号列を格納する手順と、前記符号列を少なくとも1ブロック分ずつ取り出す手順と、取り出された1ブロック分の符号列がデパッキング前の1纏まりのブロックであるか否かを判定する手順と、判定されたブロックがデパッキング前の1纏まりのブロックである場合にそのブロックの符号列を復号する手順と、取り出された1ブロック分の符号列がデパッキング前の1纏まりのブロックでない場合に、前記1ビデオセグメントの分のブロックの符号列を順次取り入れてデパッキング前の1纏まりの1ブロック分の符号列を連結する手順と、連結された1ブロック分の符号列を復号する手順と、を備えている。

【0017】

【発明の実施の形態】

以下、本発明に係る符号化画像データ復号装置、方法およびプログラムの実施の形態について、添付図面を用いて詳細に説明する。具体的な実施形態を説明する前に、本発明の第1の基本構成に基づく第1実施形態に係る符号化画像データ復号装置について、図1を参照しながら説明する。

【0018】

図1は、本発明の第1実施形態に係る符号化画像データ復号装置の構成を示すブロック図である。この第1実施形態に係る符号化画像データ復号装置10は、1ブロック内の可変長符号成分以外の長さの終端符号の長さとの合計が、可変長符号語の最大長のビット数から1ビットを差し引いたビット長以上となる画像圧縮伸張フォーマットによりパッキングされた画像データをデパッキングして可変長復号する画像復号装置である。

【0019】

図1において、復号装置10は、基本的には、1ビデオセグメント分の符号列を格納しているメモリ手段11と、該メモリ手段11から出力される符号列を可

変長復号するデコード手段 1 2 と、前記メモリ手段 1 1 と前記デコード手段 1 2 との間に挿入されて 1 ブロック分の符号列を格納可能に構成されると共に連結された 2 ブロック分の符号列を格納するブロック記憶手段 1 5 と、このブロック記憶手段 1 5 を含み、前記メモリ手段 1 1 より供給された符号列が 1 ブロック分の符号列でない場合に順次供給された符号列の中から必要な部分を適宜組み合わせて 1 ブロック分の符号列を完成させて前記デコード手段 1 2 に供給するデパッキング手段 1 6 と、を備えている。

【 0 0 2 0 】

前記デコード手段 1 2 は、図 2 1 に示した従来のデコード回路 2 と同様に、バレルシフタ 1 3 と可変長符号テーブル 1 4 とを備えており、バレルシフタ 1 3 は、ブロック記憶回路 1 5 より出力されたデパッキング前の 1 纏まりとなった 1 ブロック分の符号列に対して、デコード手段 1 2 の可変長符号テーブル 1 4 から返される符号長と図示されない前記コードアドレス記憶回路からのビット情報とによって、復号されなかったコードデータをシフトしてブロック記憶手段 1 5 から供給されたコードデータを接続している。したがって、デコード手段 1 2 の動作は従来の復号回路のデコード回路 4 に対応している。

【 0 0 2 1 】

以上のように構成することにより、第 1 実施形態に係る復号装置によれば、例えばバッファメモリ等により構成されたブロック記憶手段 1 5 のメモリ量を例えば 1 1 2 ビット程度の少ない容量でも対応することができ、一般的な方法や従来の復号装置のバッファを備えている場合と比較して遙かに少なくすることができる。また、例えばメインメモリ等により構成されたメモリ手段 1 1 へのアクセス頻度をバッファを備えない従来の復号装置に比べて低くすることができる。

【 0 0 2 2 】

図 2 は、この状態を比較して示す表であり、この表に示されたように、バッファメモリ量の節約とメインメモリへのアクセス頻度の両面において一般的な方法や従来の装置に比べて優れた効果を奏する。本発明の趣旨は、デパッキング処理において可変長符号列の処理を「固定長（1 1 2 ビット）処理の繰り返し」に帰着させることにより、省メモリ性を保ったままで、メモリアクセス頻度を削減す

る復号回路方式を提案することにより、最も基本的な第1実施形態に係る復号装置により従来の復号回路と比較しても顕著な効果が得られること分かる。

【0023】

次に、より具体的な実施例としての第2実施形態に係る符号化画像データ復号装置について、図3ないし図16を参照しながら詳細に説明する。本発明の第2実施形態に係る符号化画像データ復号装置が、図3に示されている。図3において図1と同一符号を付した構成要素は、図1に示す第1実施形態に係る復号装置と同一もしくは相当する構成要素を示すものとする。

【0024】

図3において、第2実施形態に係る符号化画像データ復号装置10は、1ビデオセグメント分の符号化された画像データを格納するメインメモリ11と、メインメモリ11から供給される符号化画像データを復号するデコード回路12と、1ブロック分ずつの符号化画像データをメインメモリ11より読み出す112ビットレジスタ15と、メインメモリ11より1ブロック分ずつのデータをレジスタ15が読出してパッキングされる前に1纏まりの符号化データとされていた1ブロック分のデータに連結するようにデパッキング処理を制御するCPU17と、メインメモリ11とレジスタ15との間の符号化データの送受を仲介するデータバス18と、を備えている。この第2実施形態に係る復号装置10においては、レジスタ15およびCPU17とによりデパッキング手段16が構成されている。

【0025】

以上の構成を有する第2実施形態に係る復号装置は、メインメモリ11とパレルシフタ13との間に112ビット長のレジスタ15が挿入されている。ここで符号化画像データのデータ構造について、図4を参考にして説明すると、1ビデオセグメント分の符号列(3040ビット程度)はメインメモリ11に格納されており、以下に示す手順に従って、順次112ビットレジスタに読み込まれて処理される。DVフォーマットの仕様では、輝度成分(Y)の4ブロックの容量はそれぞれ112ビット(14バイト)、色差成分(Cr, Cb)の2ブロックの容量はそれぞれ80ビット(10バイト)と決められているが、容量以外の処理は

共通であるため同一のデータ構造／ハードウェアを共用することができる。CPUは全体の制御を行なうのに加え、この第2実施形態の復号装置においては、後述する符号列の連結も行なっている。また、制御のための少量のメモリ領域を有している。

【0026】

上記データ構造を踏まえて、第2実施形態に係る符号化画像データ復号装置におけるデパッキング手段16は、以下に示すような第1ないし第3段階の手順にしたがって、デパッキング処理を行なっている。図4に加えて、図5(a)(b)の説明図も用いて、第2実施形態に係る復号装置におけるデパッキング処理について説明する。図4において、縦1列が1バイトすなわち8ビット分のデータを表しており、1ブロックのデータの最初の12ビットの部分にはDC成分等の固定長データ部が割り当てられている。

【0027】

まず、第1の段階の手順では、各ブロックのデータをレジスタ15に読み込んで、順次バレルシフタに供給すると共に、ブロックの終わりを示すEOB(End of Block)符号を含む第1パターンのブロックであるか、EOB符号を含まない第2パターンのブロックであるかを検出する。レジスタ15が読み込んだブロックが、第1パターンのブロックである場合には、そのブロックに対応する終了フラグをセットして、EOB符号の後に続く符号列は復号しないでそのまま残しておくものとする。また、レジスタ15が読み込んだブロックが第2パターンのブロックすなわちEOB符号が検出されなかったブロックについては、途中で切れている最後の符号語のみを残し、結果としてその1つ前の符号語までがバレルシフタ13へと出力されることとなる。

【0028】

次に、第2段階の手順としては、EOB符号を含む前記第1パターンのブロックとEOB符号を含まない第2パターンのブロックとを1つずつ選択して、第1パターンが後ろになるように連結してレジスタ15に格納してから上記第1段階の手順を繰り返している。その結果、EOB符号が検出された第2パターンのブロックを空にして終了フラグをセットし、その次の第1パターンまたは第2パタ

ーンのブロックを読み込むことになる。読み込んだブロックの符号の中に E O B 符号が検出されなかったら、残りを第 2 パターンのブロックに書き戻して、第 1 パターンのブロックを空にしてから次の第 1 パターンおよび第 2 パターンのブロックを読み込むことになる。

【 0 0 2 9 】

第 3 段階の手順は、同一のビデオセグメント内で上記第 2 段階の手順を繰り返し、以下、そのビデオセグメント内のブロックの符号列のデパッキングおよび復号処理が行なわれる。そのビデオセグメント内の符号列の処理が終了すると、次のビデオセグメント内の符号列の処理が順次ブロック単位で行なわれ、全ての符号列の処理が行なわれる。

【 0 0 3 0 】

なお、第 2 段階の手順の最後で、第 1 パターンのブロックを空にしてから次の第 1 パターンおよび第 2 パターンのブロックの読み込み処理に関しては、改善された異なる手法による書き戻し処理の操作も存在しているため、詳細については後述する。

【 0 0 3 1 】

また、この第 1 ないし第 3 段階の手順による処理によってデパッキングと可変長復号が同時に終了する。この手順は少々複雑であるため、具体的な例を挙げて説明する。図 4 に示した D V フォーマットのブロック構造を併せ参照しながら、図 6 ないし図 1 6 を用いて説明する。また、図 4 で説明したアドレス記憶回路および終了フラグメモリは、従来例（特開平 8 - 2 7 5 1 6 2 号公報）の復号回路においては、それぞれ「コードアドレス記憶回路」、「フラグメモリ」に相当するものであり、この第 2 実施形態においては C P U の内部の機能として設けられているものと仮定している。

【 0 0 3 2 】

図 6 ないし図 8 においては、1 つのビデオセグメントは 3 0 ブロックから構成されているので、本来ならば 1 つのビデオセグメントの全体を表示すべきであるが、図面の表記が非常に煩雑となるため省略して図示する。デパッキング処理の第 1 および第 2 段階の手順は合計 6 ブロックのブロックおよびマクロブロック内

で処理が完結しているので、以下の説明においては、マクロブロック単位で図示することとする。第1段階の処理の状況を図6(a)～(c)ないし図8(a)～(c)を参照しながら説明し、第2段階の手順の説明を図9(a)～(c)ないし図16(a)～(c)により行なうものとする。

【0033】

図6(a)において、レジスタ15は、まず、メインメモリ11から先頭のブロックを読み込み、先頭から符号列を順次バレルシフタへ供給していく。その結果、このブロックにはEOBがなかったので、デパッキングおよび復号化処理を一旦中断する第2パターンのブロックであることが分かる。したがって、復号化できなかった最後の部分の符号語の余りのみがこのブロックでは残されることになる。残りのビット数、この場合3ビット分を、残りの符号語の位置として図6(b)のアドレス記憶回路21の記憶領域に記憶させると共に、終了フラグメモリ22には終了フラグを立てないで「0」とする。

【0034】

次に、図7(a)～(c)を用いて、2番目のブロックの復号およびデパッキング処理について説明する。図7(a)の2つ目のブロックをレジスタ15に読み込んでいる。この2番目のブロックには、EOBが存在しているので、このブロックは上述した第1パターンのブロックであることが分かる。したがって、EOBの最後のビットまでデパッキングおよび復号化を行なってそこで処理を中断して図7(b)のアドレス記憶回路21にはそのビット数、ここでは37を記憶すると共に図7(c)の終了フラグメモリ22には終了フラグ「1」を立ててこれを記憶する。図7(a)のレジスタ15に読み込まれたブロックにおけるEOBよりも後の部分には他のブロックの符号が記憶されているので、このブロックに存在している符号だけでは復号を行なうことができない。

【0035】

次に、図8(a)～(c)を用いて3番目ないし6番目のブロックの復号を行なう。図8(a)において、メインメモリ11に格納されている3番目のブロックは、EOBがない第2パターンのブロックであるので、図8(b)のアドレス記憶回路21にはそのビット数10を書き込むと共に、第2パターンのブロック

のため終了フラグが立てられず、図8(c)のメモリ22には「0」が書き込まれる。以下、4番目のブロックも第2パターンのため図8(b)のアドレス記憶回路21にはそのビット数5が書き込まれ、図8(c)の終了フラグメモリ22には「0」が書き込まれる。5番目のブロックは第1パターンのため図8(b)のアドレス記憶回路21にはそのビット数19が書き込まれ、図8(c)の終了フラグメモリ22には「1」が書き込まれる。6番目のブロックも第1パターンのため図8(b)のアドレス記憶回路21にはそのビット数14が書き込まれ、図8(c)の終了フラグメモリ22には「1」が書き込まれる。

【0036】

次に、図9ないし図16を参照しながら第2段階の処理について説明する。上記の第1段階の処理において、通常は1つのビデオセグメントについて連続して行なわれるため、1番目から30番目のブロックの全てについて第1段階の処理が行なわれるが、説明の便宜上、1番目ないし6番目のブロックの復号化およびデパッキング処理を行なっていたのと同様に、この第2段階の処理についても6つのブロックを例にして説明する。

【0037】

この第2段階の具体例としては処理の内容を分かり易くするために、第1段階のデパッキングおよび復号化処理後に残ったブロックに対して、第2段階の連結処理と復号化とを行なうものとして図示している。実際にはメモリ11の内容は何ら更新されていないし、復号済みの部分もクリアされている訳ではない。アドレス記憶回路21の内容から区切り位置を知ることができる。これ以降の説明においても、特に明記しない限り、メモリ11の内容は更新されない。

【0038】

図9は最初の2ブロックがレジスタ15内で連結される状態を示し、図10は連結されたレジスタ15内のブロックが復号された後の状態を示している。したがって、図10(b)(c)には、連結後復号化された後に書き換えられたアドレス記憶回路21の1番目および2番目の欄と、終了フラグ「1」が立てられた終了フラグメモリ22の1番目の欄とが示されている。

【0039】

図 9 (a) ~ (c) に示すように、第 1 パターンおよび第 2 パターンのブロックを 1 つずつ取り出してレジスタ 1 5 の中で連結する。第 1 パターンのブロックは終了フラグメモリに「1」が立っているのに対して、第 2 パターンのブロックには「0」が書き込まれている。なお、第 1 パターンのブロックとは終了フラグ「1」が立っていてアドレス記憶回路 2 1 の内容がゼロでないブロックであり、第 2 パターンのブロックとは終了フラグ「1」が立っていないブロックである。レジスタ 1 5 の中で 2 種類のパターンのブロックを連結する場合には、連結の順番は必ず第 2 パターンのブロックが前に来るようにして連結する。

【 0 0 4 0 】

次に、図 1 0 (a) に示すように、レジスタ 1 5 に記憶された符号の中には E O B 符号が検出されており、このレジスタ 1 5 内を復号すると、図 1 0 (b) に示すように、第 2 パターンのブロックに対応するアドレス記憶回路 2 1 の 1 番目の欄が「0」になり、図 1 0 (c) に示すように、終了フラグメモリ 2 2 の 1 番目のブロックには終了フラグ「1」が立てられる。2 番目のブロックは、第 1 段階の復号化およびデパッキング処理の後、3 0 ビット分復号されているので、アドレス記憶回路 2 1 の 2 番目の欄には、復号の残りビット数 7 が書き込まれる。なお図 1 0 (a) では、レジスタ 1 5 の内容をメモリ 1 1 の 2 番目のブロックに反映させるように示しているが、実際にはメモリの内容は更新されていない。

【 0 0 4 1 】

図 1 1 および図 1 2 は、メモリ 1 1 内の連結および復号化が終わっていない次の 2 ブロック、すなわち 2 番目および 3 番目のブロックの連結と復号化の処理が示されている。

【 0 0 4 2 】

次の連結および復号化処理は、次の順番の 2 ブロックであって、パターンが異なる 2 つのブロックを、図 1 1 (a) に示すように、第 2 パターンのブロックの方が前になるようにして連結する。図 1 1 (a) で 2 番目のブロックと 3 番目のブロックを比較すると、第 2 パターンのブロックは 3 番目のブロックなので、レジスタ 1 5 内では、図示のように 3 番目のブロックの符号を前にすると共に 2 番目のブロックにおける E O B より後ろの符号を 3 番目のブロックの符号の後に連

結する。次に、レジスタ15に記憶されている符号を復号する。

【0043】

復号化後の状態は、図12に示すようになっており、レジスタ15内には復号の残り4ビットのみ含まれ、EOBは検出されていない。メインメモリ11の2番目のブロックまで復号化処理を終えているので、図12(b)に示すように、アドレス記憶回路21の2番目の欄は復号化が終了したことを示す「0」ビットとなり、3番目の欄は復号前の「10」ビットから復号化後の残りである「4」ビットへと書き換えられる。実際にはメモリ11の内容は更新されないが、この3番目のブロックは、EOBを含まない残り4ビットを有するブロックであるものとして扱うことができる。

【0044】

次に、メインメモリ11の次の2ブロックを比較すると、この3番目のブロックも次の4番目のブロックもEOBを含まない第2パターンのブロックであるので、この2つを連結することはできない。したがって、図13(a)に示すように、3番目と5番目のブロックとを第2パターンのブロックが前に来るようにして連結する。連結しただけの状態では、図13(b)(c)のアドレス記憶回路21と終了フラグメモリ22の記憶内容に変化はないので、図12(b)(c)の内容と同じである。

【0045】

次に、連結した3番目および5番目のブロックの復号を行なう。5番目のブロックのEOBより後の符号は復号化され、レジスタ15内には6ビット分の符号が残されるので、第1パターンの5番目に対応するアドレス記憶回路21の5番目の欄は復号化終了済みの「0」ビットが書き込まれ、レジスタ15の残りは3番目のブロックに対応するアドレス記憶回路21の3番目の欄に「6」ビットとして書き込まれる。

【0046】

次に、メインメモリ11の復号化未処理のブロックを見ると、3番目、4番目および6番目の3つが未処理であるが、連結する2つのブロックは第2パターンと第1パターンとの符号であるので、順番に3番目と6番目のブロックを図15

(a) に示すようにレジスタ15内で連結する。レジスタ15内の符号を復号化すると、2ビット分だけ復号化されずに残されるので、図16(a)に示すようにレジスタ15内には残り2ビットの符号があり、これがメインメモリ11の3番目に書き戻されると考えると、図16(b)に示すように、アドレス記憶回路21の3番目の欄には「2」ビットが書き込まれ、6番目の欄は残り「0」ビットとなる。終了フラグメモリ22は、図16(c)に示すように、1, 2, 5, 6番目の欄に終了フラグ「1」が立ち、3, 4番目の欄には終了フラグが立てられておらず、この2つの欄に対応するメインメモリ11の3番目および4番目のブロックの復号化が終了していないことになる。

【0047】

上述したようにビデオセグメントのブロック数は30ブロックあるので、6ブロックずつの復号化およびデパッキング処理を行なうと、この第2段階までの処理を5回繰り返すことになる。したがって、前の方のブロックから順次に復号化とデパッキングを行ない、第2段階までの処理で復号化し切れなかったブロックに関して再度第2段階の処理を行なうと、すべてのブロックのデパッキングおよび復号化が終了することになる。この第2段階後に再度第2段階の処理を行なうことが第3段階の処理である。

【0048】

このアルゴリズムを利用すれば、112ビットレジスタ内でほとんどの処理が完結するため、使用メモリ量の増加を抑えながら、メインメモリへのアクセスを大幅に軽減することができる。メインメモリ11からの符号データの読み込みは第1段階、第2段階および第3段階のそれぞれのブロック処理の先頭のみで行なわれ、符号データの書き込みは第2段階および第3段階の各ブロック処理が終了した時に行なわれる。

【0049】

このアルゴリズムの最大のポイントは、DVフォーマットの仕様を詳細に検討した結果、「上記第1パターンのブロックと第2パターンのブロックの符号列を結合しても、結合後の符号長が必ず112ビット以内に収まる」という性質を見出し、それを積極的に活用したところにある。

【0050】

具体的な数値を例にとって説明すると、第1パターンのブロックに残った符号列の長さが最大になるのは、12ビットのDC成分等の固定長エリアの直後に4ビットのEOBが存在する場合なので、

$$\text{最大符号長} = 112 - 12 - 4 = 96$$

となり、96ビットとなる。つまり「16ビットしか空きがない状態」が最大符号長であるのに対し、第2パターンのブロックに残った符号列の最大長は15ビット（DVにおける符号語の最大長は16ビット）にすぎない。したがって、その合計は必ず1つのブロック内に収まることになる。

【0051】

一般化して説明すると、このアルゴリズムが適用できるためには、画像信号圧縮フォーマットの仕様が、

$$(\text{1ブロック内の可変長符号以外の長さ}) + (\text{終端符号の長さ}) \geq (\text{可変長符号語の最大長}) - 1$$

の条件を満たしている必要がある。

【0052】

また、このときに必要となるレジスタ長は、1ブロックの長さと等しい（上記第1段階の手順を行なうため1ブロック未満にはできない）が、もしも、可変長符号以外の部分（DC成分等）の処理を別途行なうのであれば、

$$(\text{1ブロックの長さ}) - (\text{可変長符号以外の長さ}) - (\text{終端符号の長さ}) + (\text{可変長符号語の最大長}) - 1$$

で済むことになる。DVフォーマットの場合、この値は111ビットとなる。

【0053】

前述した第2段階の手順において、2つのブロックの符号を連結するして復号化した後、復号化の残りをメインメモリ11に書き戻す操作が含まれるが、この処理による負担は、以下の2つの理由から非常に軽いものだと考えられる。

【0054】

すなわち、書き戻されるデータは常に15ビット以下であり、かつ、その位置が常にブロックの最後尾で固定されているため、16ビットの書き込み動作を1

回行なうだけで作業を完了することができること、および

マクロブロックの最後でない限り、書き戻されたデータは、その直後にすぐ使われるので、手順を工夫することにより書き戻し回数をさらに削減することも可能であることの2つの理由である。この削減の度合いは、各マクロブロック毎に1回まで可能であり、これについては後述する第3実施形態で詳述する。

【0055】

また、書き戻されるデータ長が短いことは、書き戻しの際のオーバーフロー防止にもなる。輝度ブロック（112ビット）と色差ブロック（80ビット）のようなサイズ差のあるブロック間でデータの移動が起こるのは上記書き戻し操作だけであるが、その最大長が15ビットであるゆえに、オーバーフローは起こり得ず、これにより輝度ブロックと色差ブロックとを同一のアルゴリズムで処理できることが保証される。

【0056】

もちろん、上記従来例（特開平8-275162号）の図2および図3に示すように、ハードウェアを付加することにより書き戻しを省略することも可能である。ただし、この方式はパッキング・デパッキングの仕様が第4段階、第5段階…と増加した場合に、その都度ハードウェアを変更しなくてはならない必要性がある。

【0057】

本発明によるメモリアクセスの頻度を低減させる様子が、図17に示されている。図17では（a）従来例におけるメモリアクセス頻度と、（b）本発明によるメモリアクセス頻度とを比較して示している。図17（a）（b）のようなビット長の符号列が入力された場合、図17（a）に示された従来例では8ビット単位のメモリアクセス（図中の↑）が不規則、かつ、頻繁に発生してしまうのに対して、図17（b）本発明ではメモリアクセスは最初と最後のみであることが分かる。

【0058】

次に、本発明の第3実施形態に係る符号化画像データ復号装置について、図18を用いて詳細に説明する。この第3実施形態に係る復号装置においては、上述

したように異なるパターンの2つのブロックの連結のためにハードウェアによる符号列連結回路が設けられており、この発明の原理的な実施形態である第1実施形態の構成を示す図1のデパッキング手段16内の符号列結合手段17が具体的な回路構成により実現されている。

【0059】

図18においては、第3実施形態に係るデータ復号装置は、符号化された画像データを格納するメインメモリ11と、112ビットレジスタ15との間に符号列連結回路25が挿入されている。この連結回路25は2つの入力を有し、レジスタ15の出力内容と、メモリ11から入力された内容とをビットシフトして連結し、その結果を再びレジスタ15に書き戻す機能を有している。これにより、上記第2実施形態の第2段階の手順および第3段階の手順におけるブロックの連結をハードウェア構成により行なうことができる。連結する順番は、必ず第1パターンのブロックの符号列が後ろであるが、「レジスタ15中に残されている符号列」と「メモリ11から読み込まれる符号列」の何れの符号列が第1パターンまたは第2パターンであるのかについては、終了条件によって異なっている。そのため、この連結回路25には供給されてきたブロックの終了条件が第1パターンに関するものか第2パターンに関するものかによって、連結する順番を変更できる機能が含まれていなければならない。

【0060】

この第3実施形態においては、上述したメインメモリ11への書き戻し処理の削減が施されている。そのため、デパッキング処理の手順も上述した第2実施形態とは少し異なることになる。具体的には、第2段階の手順と第3段階の手順とを以下のように修正する。

【0061】

まず、第2段階では、同一マクロブロック内で、上記第1パターンと第2パターンとに相当するブロックを「先頭から1つずつ」選択して、第2パターンが前になり第1パターンが後ろになるようにして2つの符号列を結合させ、結合させた符号列をレジスタ15に格納してから、再び第1段階の手順を繰り返すことになる。

【 0 0 6 2 】

その結果、E O B が検出されたら、第 2 パターンのブロックを空にして終了フラグ「1」をセットして、次の第 2 パターンのブロックを読み込み、E O B が検出されなかったら、第 1 パターンのブロックを空にして、次の第 1 パターンのブロックを読み込むことになる。

【 0 0 6 3 】

さらに、各マクロブロックの最終ブロックが第 2 パターンのブロックである場合には、以下の処理が追加される。すなわち、第 3 段階の処理が終わった後に、残された符号列を第 2 パターンのブロックに書き戻すことになる。第 3 段階の処理としては、第 2 実施形態に係る復号装置の動作と同様に、同一のビデオセグメント内で、上記第 2 段階の復号・デパッキング処理を繰り返すことになる。

【 0 0 6 4 】

要するに、この第 3 実施形態によるアルゴリズムを利用すれば、メインメモリ周りのトラフィックを上記第 2 実施形態よりもさらに軽減することができる。メインメモリから読み込みは、第 1 ないし第 3 段階共にそれぞれの各ブロック処理の先頭のみで行なわれ、書き込みは第 2 段階の各マクロブロック処理終了時のみに行なわれる。また、第 2 および第 3 実施形態とも、レジスタおよび連結回路を複数並列に配置することにより、並列して動作させることも可能である。

【 0 0 6 5 】

次に、上記第 1 ないし第 3 実施形態に係る符号化画像データ復号装置で適用される処理ステップを含む第 4 実施形態に係る符号化画像データ復号方法について図 1.9 のフローチャートに従い詳細に説明する。

【 0 0 6 6 】

図 1.9 において、第 4 実施形態の画像データ復号方法は、1 ブロック内の可変長符号成分以外の長さで終端符号の長さとの合計が、可変長符号語の最大長のビット数から 1 ビットを差し引いたビット長以上となる画像圧縮伸張フォーマットによりパッキングされた、画像データにおける少なくとも 1 ビデオセグメント分の符号列をメモリに格納する第 1 のステップ S T 1 と、前記符号列を少なくとも 1 ブロック分ずつ取り出す第 2 のステップ S T 2 と、取り出された 1 ブロック分

の符号列がデデパッキング前の 1 纏まりのブロックであるか否かを判定する第 3 のステップ S T 3 と、判定されたブロックがデデパッキング前の 1 纏まりのブロックである場合にそのブロックの符号列を復号する第 4 のステップ S T 4 と、取り出された 1 ブロック分の符号列がデデパッキング前の 1 纏まりのブロックでない場合に、前記 1 ビデオセグメントの分のブロックの符号列を順次取り入れて 1 ブロック分の符号列を連結する第 5 のステップ S T 5 と、を備えている。

【 0 0 6 7 】

上記第 5 のステップ S T 5 で連結された 1 ブロック分の符号列は、前記第 4 のステップ S T 4 において復号化されており、第 1 のステップ S T 1 で格納された 1 ビデオセグメント分の符号列に対するデパッキングおよび復号化処理が終了したか否かが第 6 のステップで判断され、1 ビデオセグメント分の処理が終了していない場合には上記第 2 ないし第 5 のステップ S T 2 ～ S T 5 の処理が繰り返される。

【 0 0 6 8 】

第 6 のステップ S T 6 で 1 ビデオセグメント分の処理が終了したものと判断された場合には、第 7 のステップ S T 7 において復号化すべき符号化画像データがまだ残されているか否かが判断される。第 7 のステップで復号化すべき画像データが残っているものと判断された場合には上記第 1 ないし第 6 のステップ S T 1 ～ S T 6 を繰り返し、残っていないものと判断された場合には符号化画像データのデパッキングおよび復号化の処理が終了する。

【 0 0 6 9 】

次に、第 4 実施形態に係る符号化画像データ復号方法を中央処理装置（CPU—Central Processing Unit—）やマイクロプロセッサ等のプログラム実行手段に実行させるための第 5 実施形態に係る符号化画像データ復号プログラムについて図 20 の機能ブロック図を用いて説明する。図 20 における各部は、復号プログラムにおけるそれぞれの処理手順を示している。

【 0 0 7 0 】

図 20 において、第 5 実施形態に係る復号プログラム 30 は、1 ブロック内の可変長符号成分以外の長さ（終端符号の長さ）との合計が、可変長符号語の最大長

のビット数から1ビットを差し引いたビット長以上となる画像圧縮伸張フォーマットによりパッキングされた、画像データにおける少なくとも1ビデオセグメント分の符号列を格納する符号列格納機能31と、前記符号列を少なくとも1ブロック分ずつ取り出すブロック取出し機能32と、取り出された1ブロック分の符号列がデパッキング前の1纏まりのブロックであるか否かを判定する判定機能33と、判定されたブロックがデパッキング前の1纏まりのブロックである場合にそのブロックの符号列を復号する復号機能34と、取り出された1ブロック分の符号列がデパッキング前の1纏まりのブロックでない場合に、前記1ビデオセグメント分のブロックの符号列を順次取り入れて復号機能34で復号されなかった符号列とを連結する連結機能35と、を備えている。連結機能35において連結された1ブロック分の符号列は復号機能34において復号されて符号出力される。

【0071】

上述した第4および第5の実施形態に係る画像データ復号方法および復号プログラムの各ステップおよび各機能において連結されるブロックは、第3実施形態による画像データ復号装置において説明した第1および第2パターンのブロックであり、そのブロックの中にEOBが含まれているか否かにより第1パターンのブロックであるか第2パターンのブロックであるかが分類されている。したがって、第5のステップST5または連結機能35の処理内容または手順は、より詳細には図6ないし図16の第1ないし第3段階の処理に分けて説明することもできるが、記載の重複をさけるためにここでは説明されていない。

【0072】

【発明の効果】

以上詳細に説明したように、本発明に係る符号化画像データ復号装置、方法およびプログラムによれば、少なくとも1ビデオセグメント中の複数のブロックの符号化画像データを終端符号を含む第1パターンのブロックと終端符号を含まない第2パターンのブロックとに分けて捉え、第1段階で復号できなかったブロックの符号を第2パターンブロック符号から第1パターンブロック符号へと連結して第2段階および第3段階の復号を行なうことにより画像データのデパッキングと

復号化とを行なう主要構成を用いることにより、たとえばレジスタ等のブロックを記憶しておく構成要素における可変長復号処理中にはメモリアクセスが発生せず、たとえばメインメモリ等の画像データを記憶しておく構成要素の周りのトラフィックを大幅に軽減することができる。

【0073】

また、第2パターンのブロックと第1パターンのブロックのそれぞれの符号列を連結させるためにハードウェア構成を用いることにより、2つのブロックの符号列をハードウェアによって連結できるため、処理が簡素になるのに加えて、上記の主要構成の場合に比べて、より一層のたとえばメインメモリ等の画像データを記憶しておく構成要素の周りのトラフィックを軽減できる。

【0074】

また、ブロックの終わりを示すブロック終了符号が検出されなかったブロックに関して、ブロックを記憶する構成要素の内容を画像データの記憶要素に書き戻すことにより、デパッキングの規格が4段階以上になっても、ハードウェアの構成を変更せずに用いることができる。

【図面の簡単な説明】

【図1】

本発明の基本概念としての第1実施形態に係る符号化画像データ復号装置の構成を示すブロック構成図である。

【図2】

本発明に係る画像復号装置および方法を一般的小よび従来の画像復号との比較しながら示す表である。

【図3】

本発明の第2実施形態に係る符号化画像データ復号装置の構成を示すブロック図である。

【図4】

図3のレジスタ15の符号データの格納状態を模式的に示す説明図である。

【図5】

図4と同様に、符号データの格納状態を模式的に示し、(a)EOBが検出さ

れた第1パターンの場合の最長余りと、(b) EOBがなかった第2パターンの場合の最長余りとをそれぞれ示す模式図である。

【図6】

第1段階の1番目のブロックの処理手順における、(a) レジスタ15とメインメモリ11間の符号の読み込み処理、(b) アドレス記憶回路のビット数、(c) 終了フラグメモリの終了フラグを示すブロック図である。

【図7】

第1段階の2番目のブロックの処理手順における、(a) レジスタ15とメインメモリ11間の符号の読み込み処理、(b) アドレス記憶回路のビット数、(c) 終了フラグメモリの終了フラグを示すブロック図である。

【図8】

第1段階の3番目ないし6番目のブロックの処理手順における、(a) レジスタ15とメインメモリ11間の符号の読み込み処理、(b) アドレス記憶回路のビット数、(c) 終了フラグメモリの終了フラグを示すブロック図である。

【図9】

第2段階の1番目と2番目のブロックの連結処理手順における、(a) レジスタ15とメインメモリ11間の符号の読み込み処理、(b) アドレス記憶回路のビット数、(c) 終了フラグメモリの終了フラグを示すブロック図である。

【図10】

第2段階の1番目と2番目のブロックの連結処理手順における、(a) レジスタ15とメインメモリ11間の符号の読み込み処理、(b) アドレス記憶回路のビット数、(c) 終了フラグメモリの終了フラグを示すブロック図である。

【図11】

第2段階の2番目と3番目のブロックの連結処理手順における、(a) レジスタ15とメインメモリ11間の符号の読み込み処理、(b) アドレス記憶回路のビット数、(c) 終了フラグメモリの終了フラグを示すブロック図である。

【図12】

第2段階の2番目と3番目のブロックの連結処理手順における、(a) レジスタ15からメインメモリ11への書き戻し処理、(b) アドレス記憶回路のビッ

ト数、(c) 終了フラグメモリの終了フラグを示すブロック図である。

【図 1 3】

第 2 段階の 3 番目と 5 番目のブロックの連結処理手順における、(a) レジスタ 1 5 とメインメモリ 1 1 間の符号の読み込み処理、(b) アドレス記憶回路のビット数、(c) 終了フラグメモリの終了フラグを示すブロック図である。

【図 1 4】

第 2 段階の 3 番目と 6 番目のブロックの連結処理手順における、(a) レジスタ 1 5 からメインメモリ 1 1 への書き戻し処理、(b) アドレス記憶回路のビット数、(c) 終了フラグメモリの終了フラグを示すブロック図である。

【図 1 5】

第 2 段階の 3 番目と 6 番目のブロックの連結処理手順における、(a) レジスタ 1 5 とメインメモリ 1 1 間の符号の読み込み処理、(b) アドレス記憶回路のビット数、(c) 終了フラグメモリの終了フラグを示すブロック図である。

【図 1 6】

第 2 段階の 3 番目と 5 番目のブロックの連結処理手順における、(a) レジスタ 1 5 からメインメモリ 1 1 への書き戻し処理、(b) アドレス記憶回路のビット数、(c) 終了フラグメモリの終了フラグを示すブロック図である。

【図 1 7】

(a) 従来例のメモリアクセス頻度と、(b) 本発明のメモリアクセス頻度とを比較して示す説明図である。

【図 1 8】

本発明の第 3 実施形態に係る符号化画像データ復号装置の構成を示すブロック図である。

【図 1 9】

本発明の第 4 実施形態に係る符号化画像データ復号方法の処理ステップを示すフローチャートである。

【図 2 0】

本発明の第 5 実施形態に係る符号化画像データ復号プログラムの機能構成を示すブロック図である。

【図 2 1】

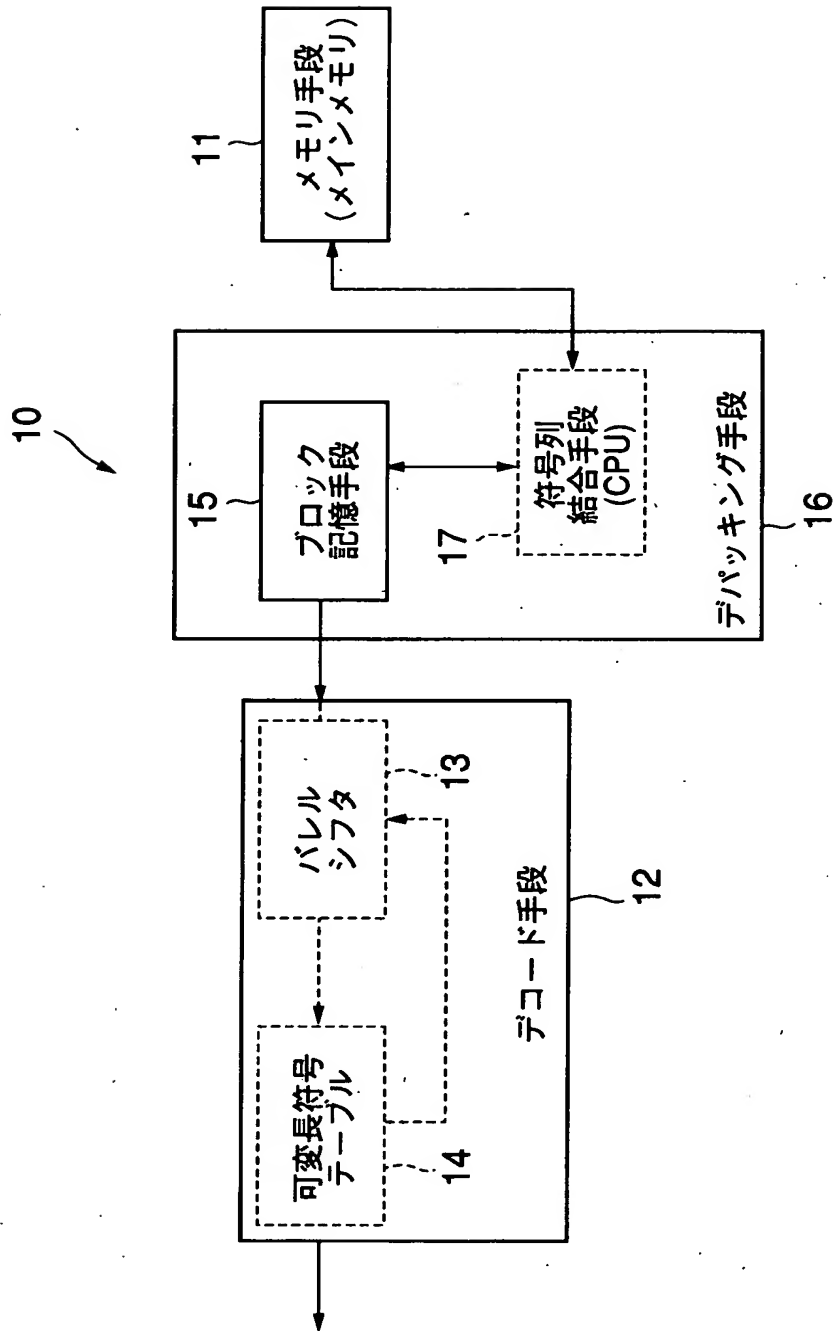
従来の符号化画像データ復号装置の概略構成を示すブロック図である。

【符号の説明】

- 1 0 符号化画像データ復号装置
- 1 1 メモリ手段（メインメモリ）
- 1 2 デコード手段
- 1 3 バレルシフタ
- 1 4 可変長テーブル
- 1 5 ブロック記憶手段（1 1 2 ビットレジスタ）
- 1 6 デパッキング手段
- 1 7 符号列結合手段（C P U）
- 1 8 データバス
- 2 1 アドレス記憶回路
- 2 2 終了フラグメモリ
- 2 5 符号列連結回路
- 3 0 符号化画像データ復号プログラム
- 3 1 符号列格納機能
- 3 2 ブロック取出し機能
- 3 3 判定機能
- 3 4 復号機能
- 3 5 連結機能

【書類名】 図面

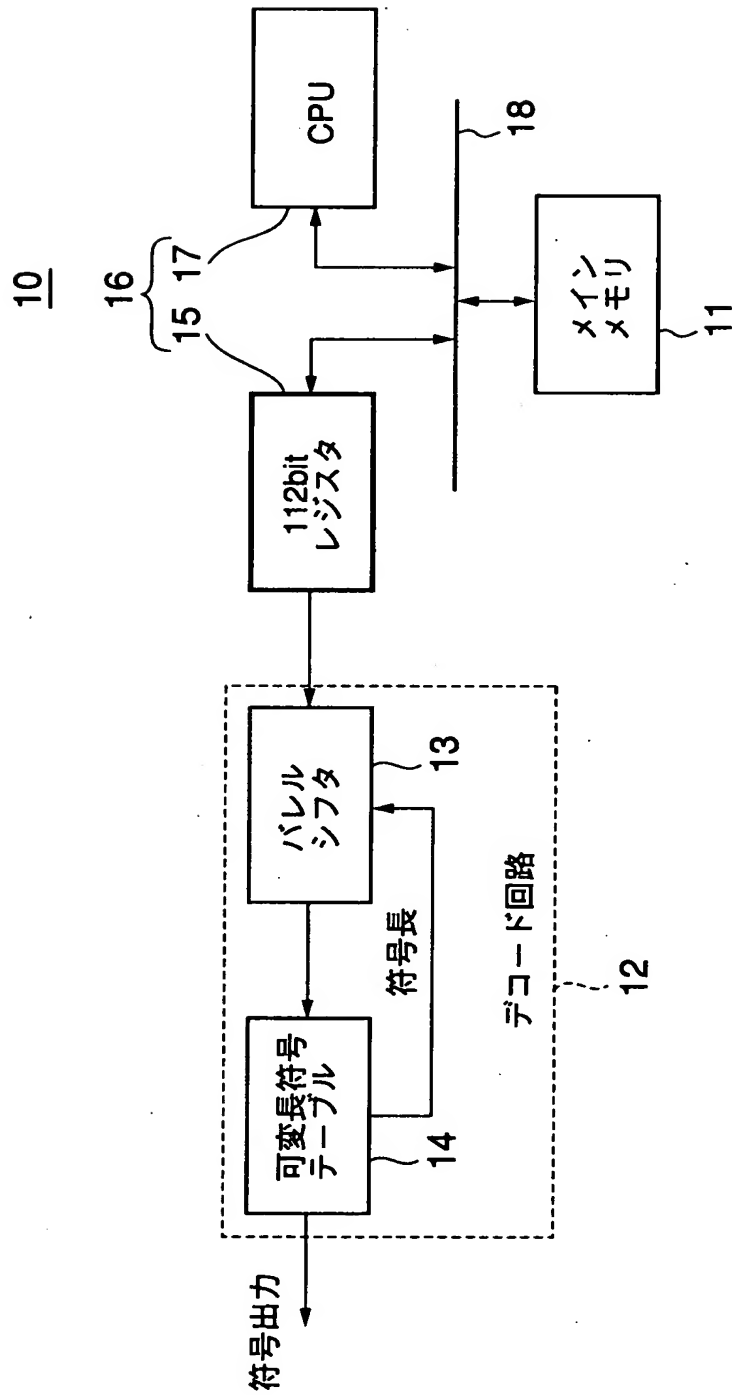
【図 1】



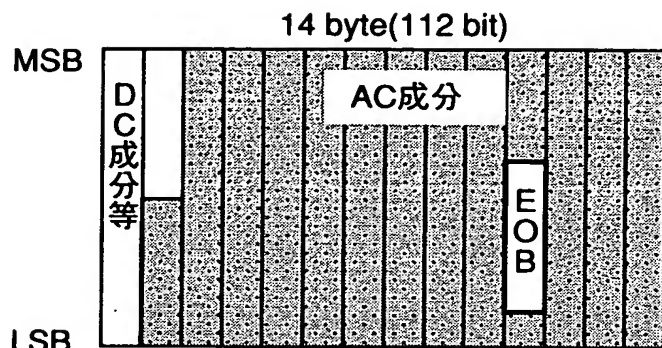
【図 2】

項 目	バッファ メモリ量	メインメモリ アクセス頻度
一般的な方法	多(4400bit)	—
特開平8-275162 (バッファ有)	多(3040bit)	低
特開平8-275162 (バッファ無)	少(～0bit)	高
本提案	少(112bit)	低

【図 3】

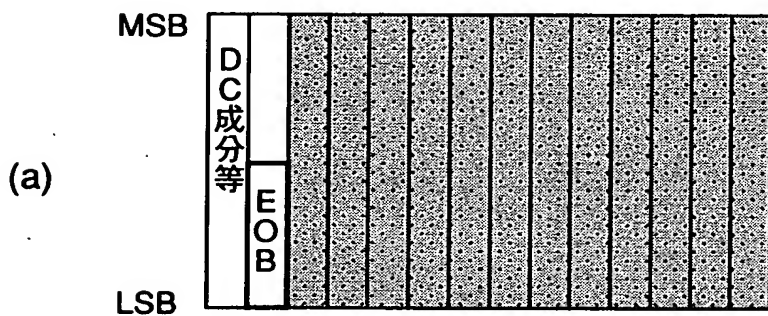


【図 4】



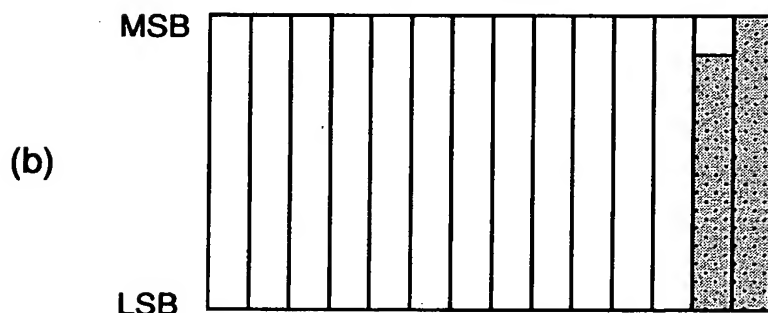
【図 5】

EOBが検出された場合の最長余り



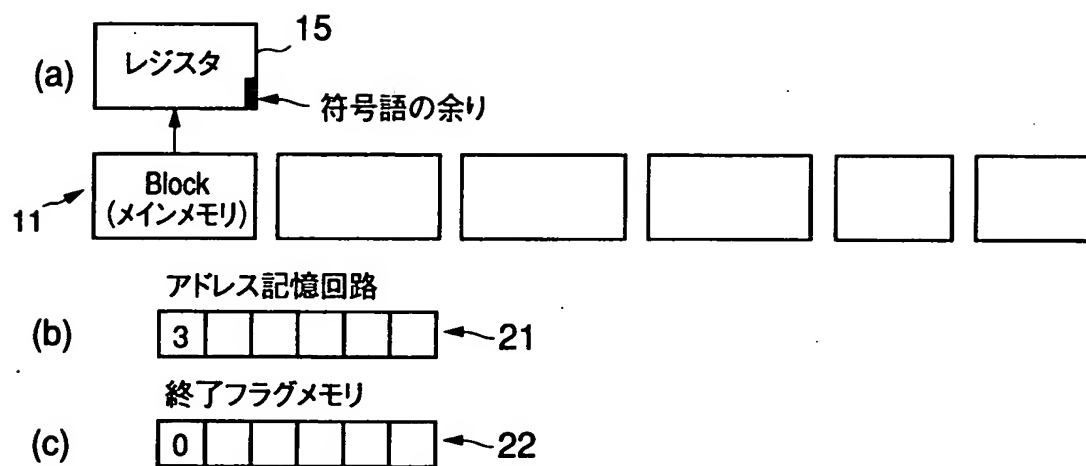
DC成分の直後にEOBがある場合。
16bit分だけ空気で、残りはすべて余り。

EOBがなかった場合の最長余り

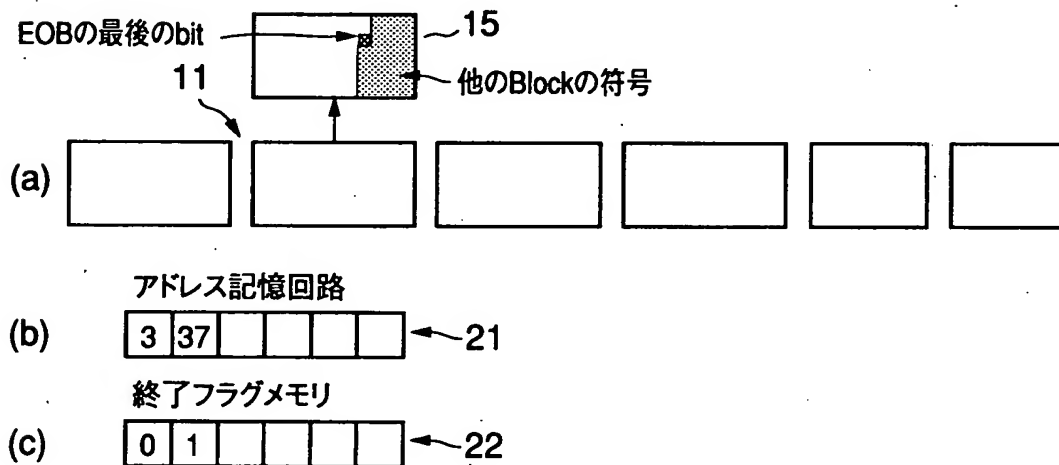


最も長い符号(16bit)がぎりぎり入らなかった場合。
余りは15bit。

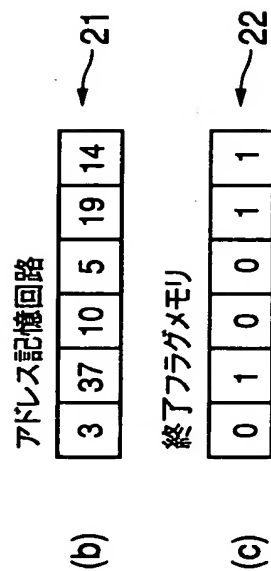
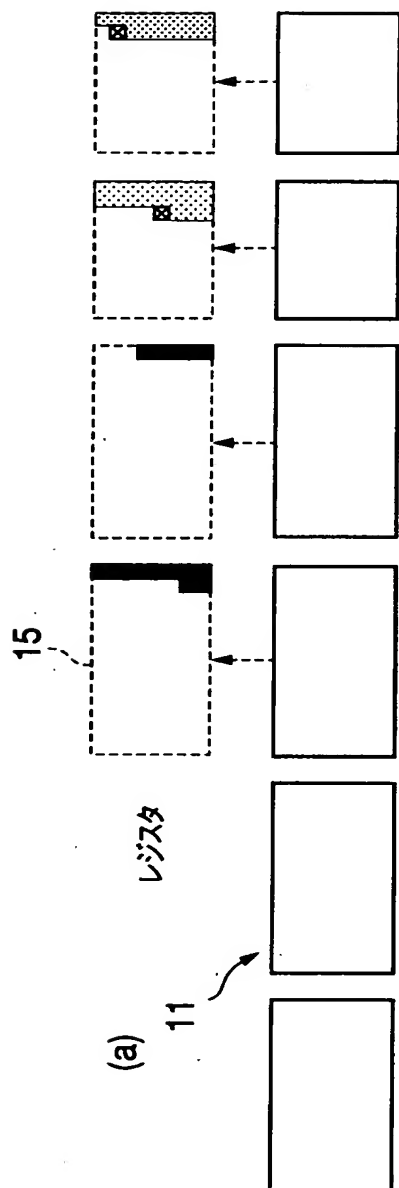
【図 6】



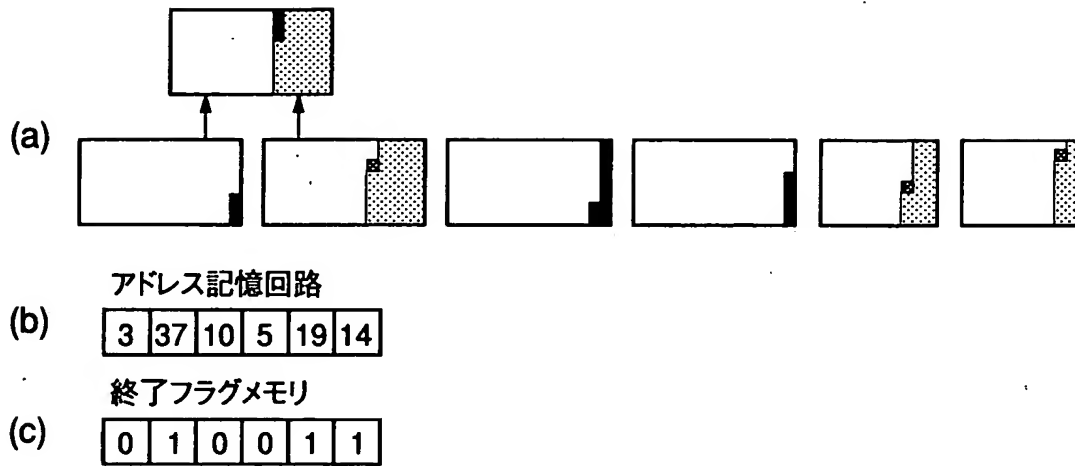
【図 7】



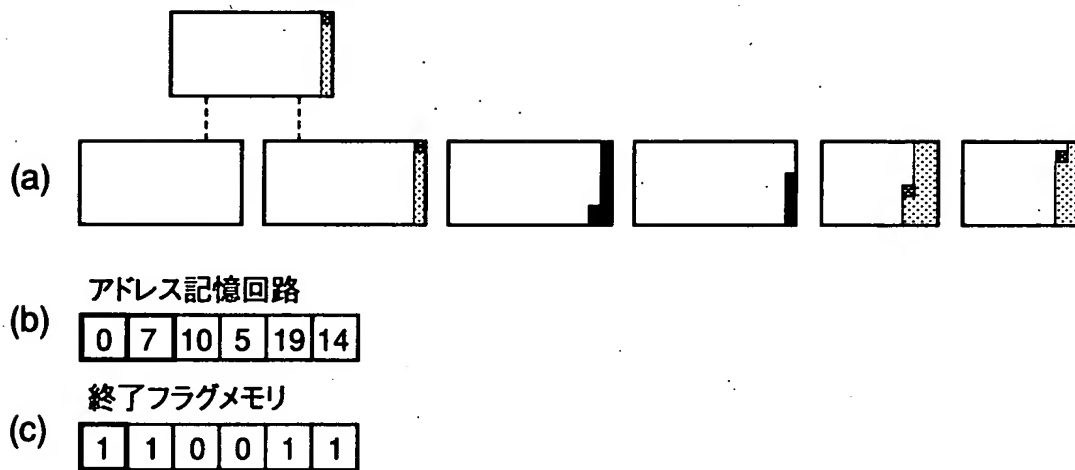
【図 8】



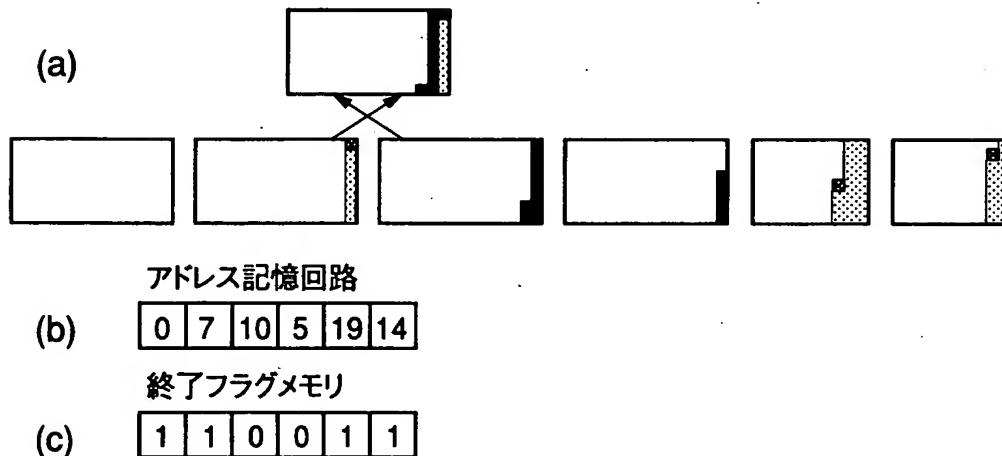
【図 9】



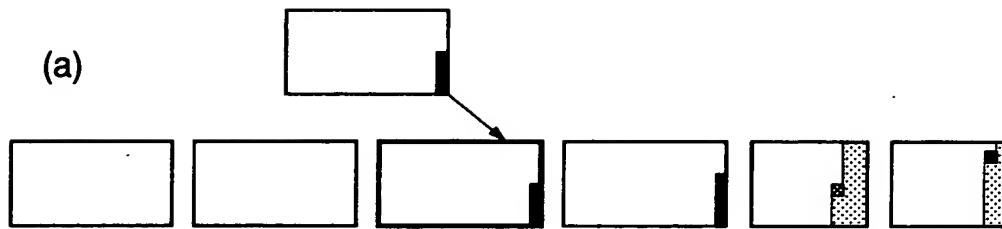
【図 1 0】



【図 1 1】



【図 1 2】



アドレス記憶回路

(b)

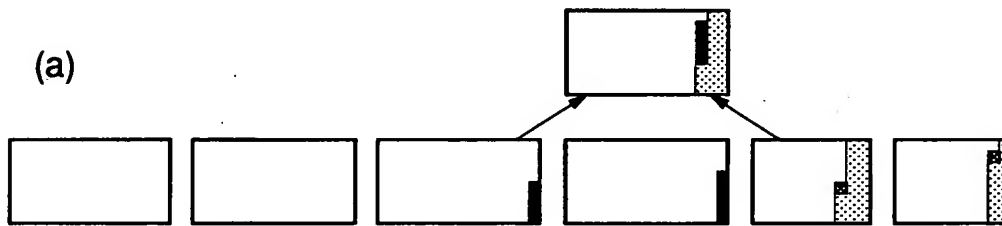
0	0	4	5	19	14
---	---	---	---	----	----

終了フラグメモリ

(c)

1	1	0	0	1	1
---	---	---	---	---	---

【図 1 3】



アドレス記憶回路

(b)

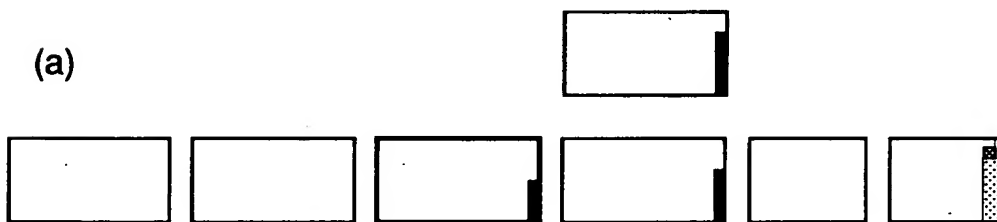
0	0	4	5	19	14
---	---	---	---	----	----

終了フラグメモリ

(c)

1	1	0	0	1	1
---	---	---	---	---	---

【図 1 4】



アドレス記憶回路

(b)

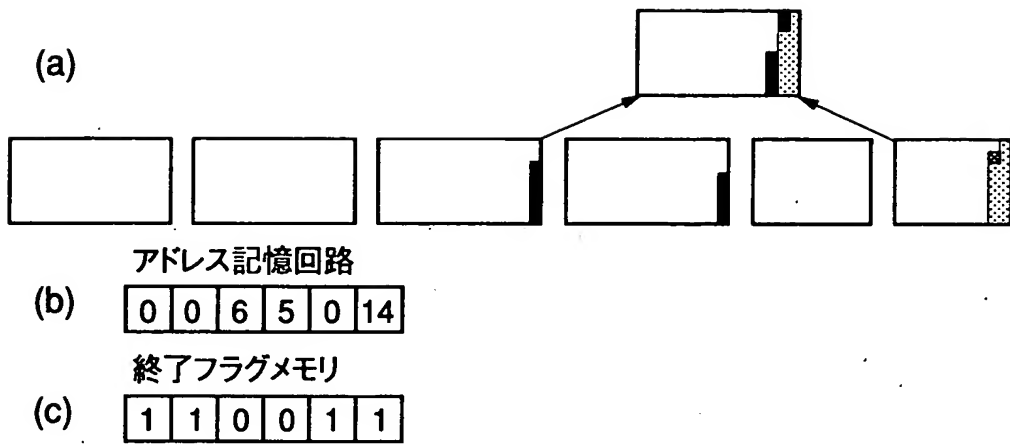
0	0	6	5	0	14
---	---	---	---	---	----

終了フラグメモリ

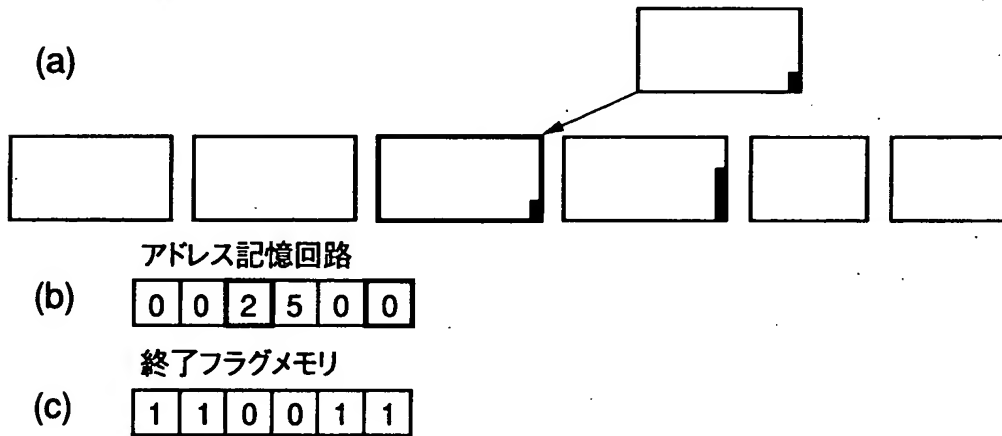
(c)

1	1	0	0	1	1
---	---	---	---	---	---

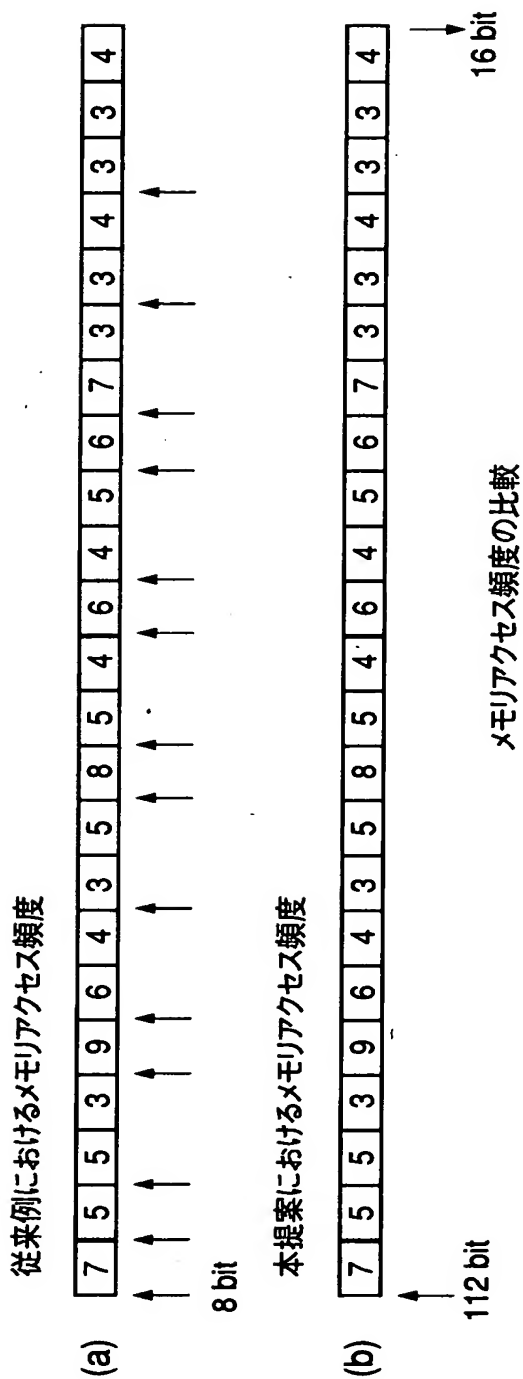
【図 1 5】



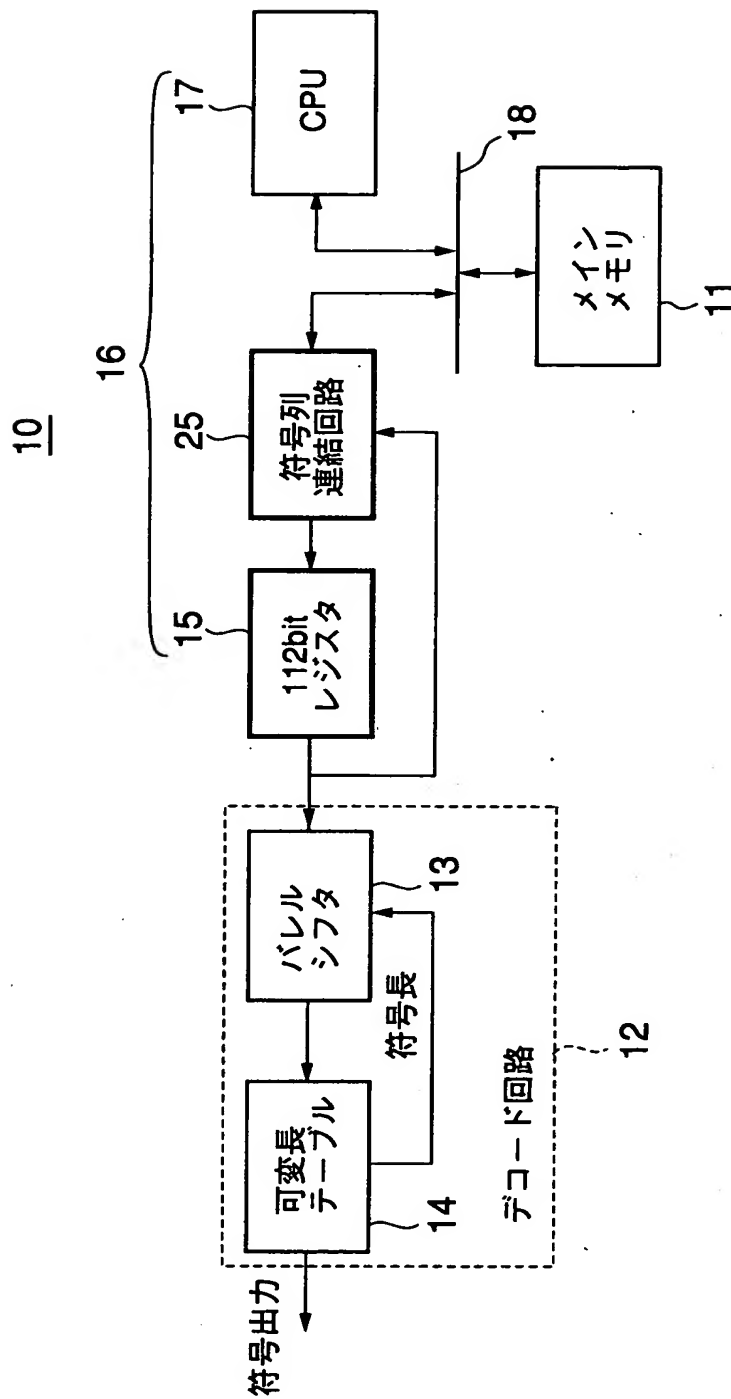
【図 1 6】



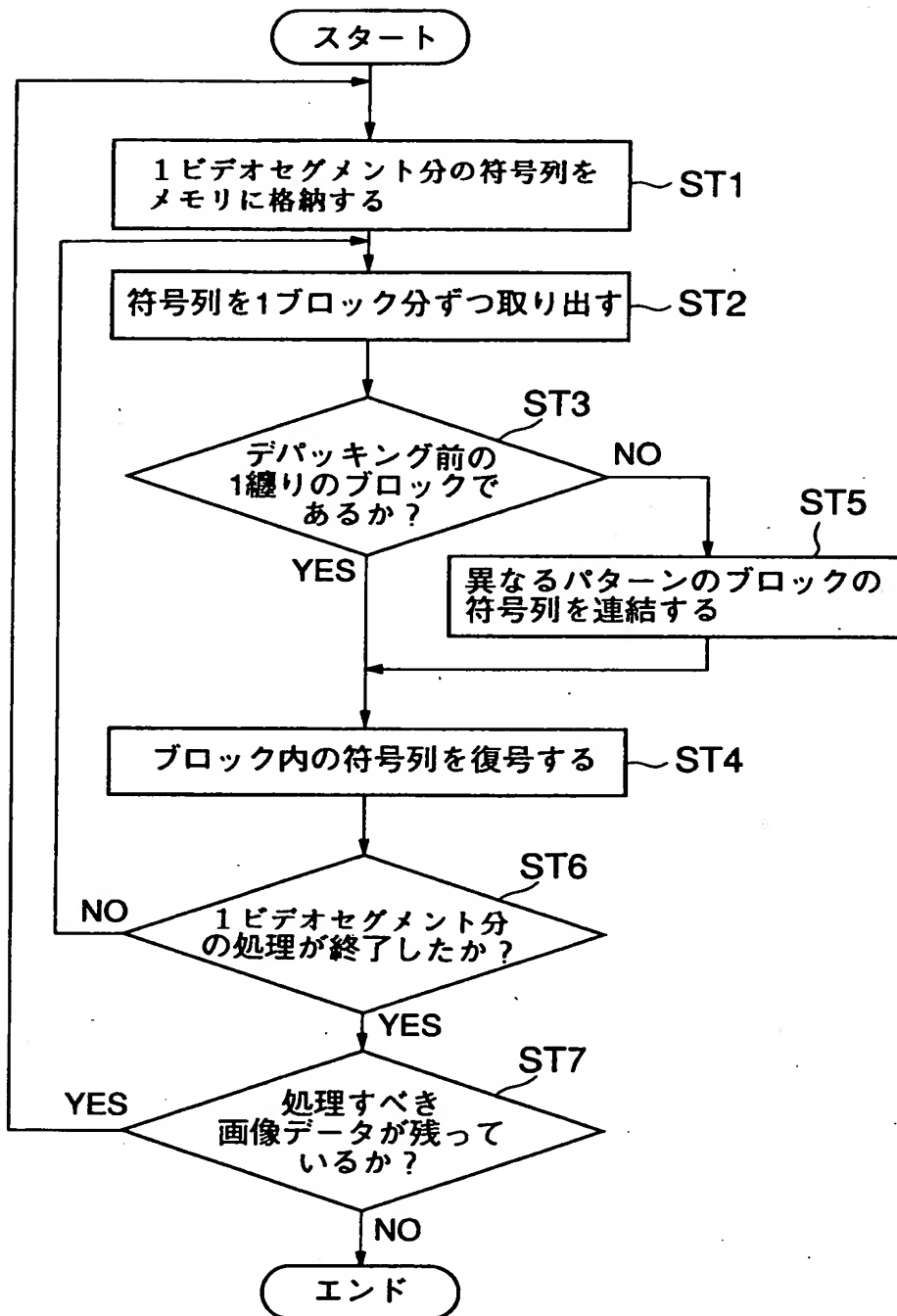
【図 1 7】



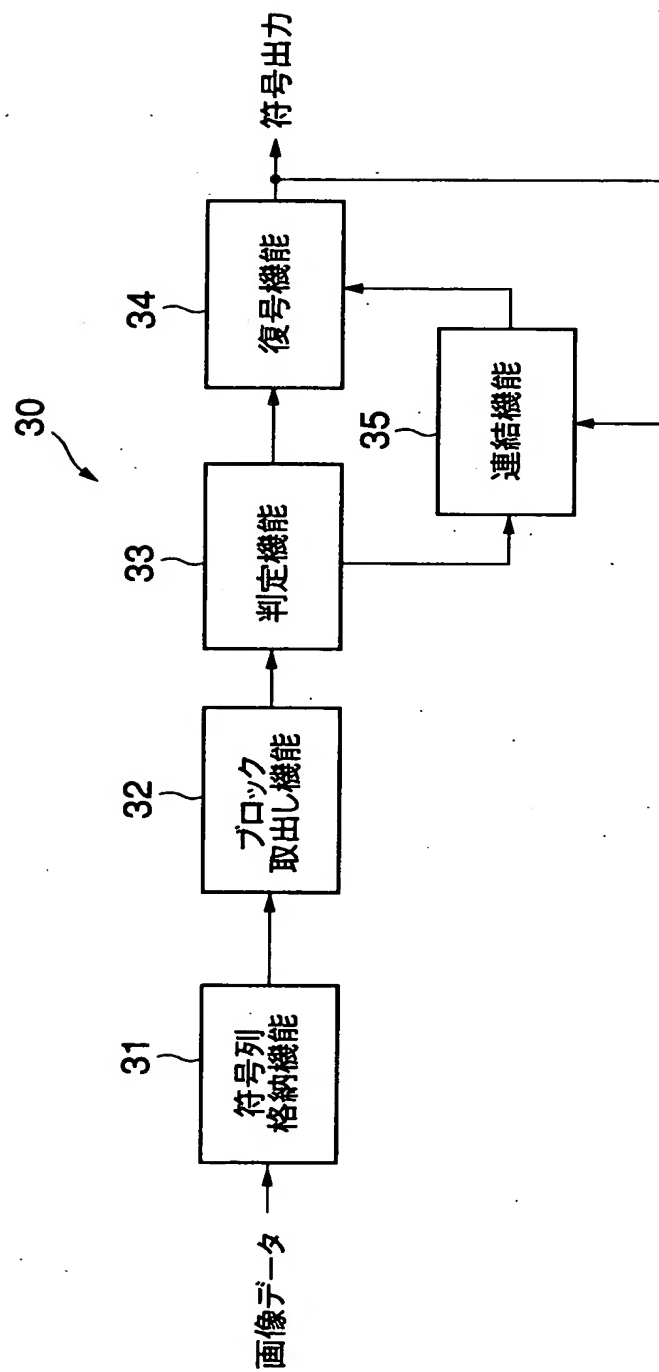
【図18】



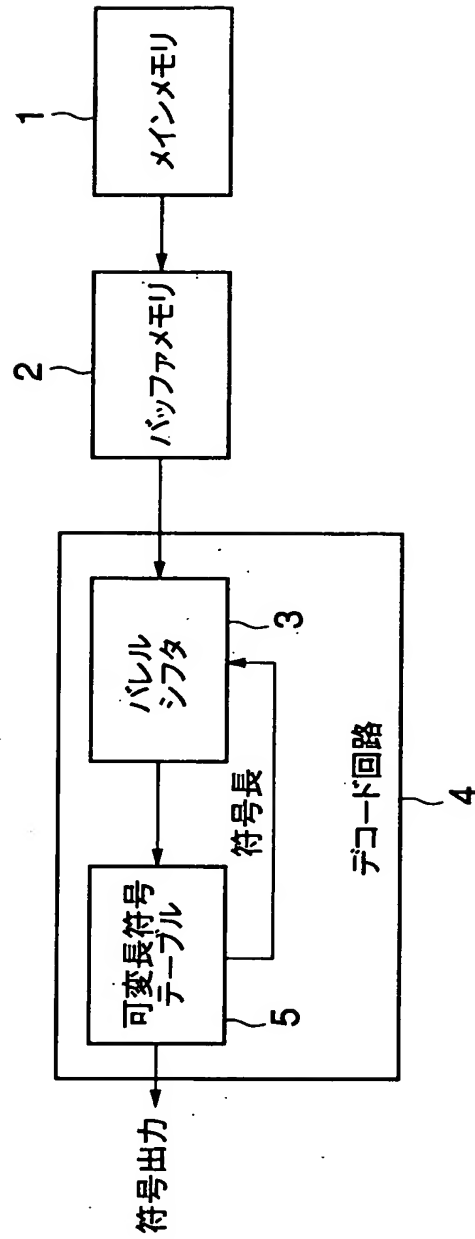
【図19】



【図 20】



【図 21】



【書類名】 要約書

【要約】

【課題】 デパッキング処理の可変長符号列を、固定長処理の繰り返しとして処理してメモリ領域を節約したままメモリアクセス頻度を削減する。

【解決手段】 1ブロック内の可変長符号成分以外の長さで終端符号の長さとの合計が、可変長符号語の最大長のビット数から1ビットを差し引いたビット長以上となる画像圧縮伸張フォーマットによりパッキングされた画像データをデパッキングして可変長復号するものであり、1ビデオセグメント分の符号列を格納するメモリ手段から出力される符号列をデコード手段により可変長復号し、メモリ手段と前記デコード手段との間に挿入されたブロック記憶手段により1ブロック分の符号列を格納すると共にこれに連結される異なるパターン分の符号列を格納して、メモリ手段より供給された符号列が1ブロック分の符号列でない場合に順次供給された符号列の中から必要な部分を適宜組み合わせて1ブロック分の符号列をデパッキング手段により完成させてから復号する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝